



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11298450 A**(43) Date of publication of application: **29 . 10 . 99**

(51) Int. Cl.

H04L 1/16
G06F 13/00
G06F 13/38
H04L 7/04
H04L 13/08
H04L 25/40

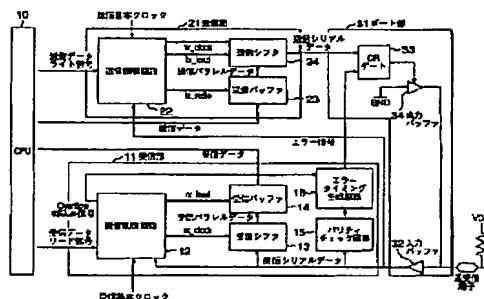
(21) Application number: **10096087**(71) Applicant: **NEC CORP**(22) Date of filing: **08 . 04 . 98**(72) Inventor: **NOMURA MAMORU**(54) **SERIAL DATA TRANSFER CONTROLLER**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To request retransmission without an intervention of a receiving side CPU by transmitting to a transmitting side a signal showing that a receiving buffer overflows instead of a parity error signal.

SOLUTION: Received data is transferred to a terminal side CPU 10 after it is once stored in a receiving buffer 14 of a receiving part 11. When the buffer 14 overflows, a receiving control circuit 12 generates an overflow signal without the intervention of the CPU 10. A receiving buffer overflow signal detected by the circuit 12 is inputted to an error timing generating circuit 16 and an error signal is produced in the same manner as a parity error time. The error signal is subjected to OR processing at the OR gate 33 of a port part 31 and is outputted to a transmitting and receiving terminal through an output buffer 34. A transmitting end repeats retransmission of error data according to the signal entry.



【特許請求の範囲】

【請求項 1】 シリアル入力データをパラレルデータに変換するための受信バッファと、前記シリアル入力データのパリティチェックを行いパリティエラーを検出した時に前記シリアル入力データを送信した送信側にパリティエラー信号を送出するパリティチェック回路部とを備えた受信部を有するシリアルデータ転送コントローラにおいて、

前記受信バッファがオーバーフローした時に前記受信バッファがオーバーフローしたことを示す信号を前記パリティエラー信号に代えて前記送信側に送出することを特徴とするシリアルデータ転送コントローラ。

【請求項 2】 前記受信バッファがオーバーフローした回数をカウントするカウント部を備え、該カウント部によるカウントが所定回数に達すると受信側の上位装置に割込み信号を発生することを特徴とする、請求項 1 に記載のシリアルデータ転送コントローラ。

【請求項 3】 前記上位装置が DMA である、請求項 1 又は 2 のいずれかに記載のシリアルデータ転送コントローラ。

【請求項 4】 請求項 1 乃至 3 の何れかに記載のシリアルデータ転送コントローラを備える IC カード。

【請求項 5】 請求項 1 乃至 4 の何れかに記載のシリアルデータ転送コントローラ及び送受信機能を備えホストとしての機能を有する IC カード。

【請求項 6】 受信データを一旦格納した後に上位装置に転送する受信バッファと、該受信バッファがオーバーフローするとオーバーフロー信号を発生するオーバーフロー検出回路と、前記受信データのパリティエラーを検出するパリティエラー検出回路と、該パリティエラー検出回路がパリティエラーを検出すると送信側にパリティエラー信号を通知するパリティエラー通知回路とを備える受信部と、受信側から前記パリティエラーの通知を受領するとデータを再送する送信側の送信部とを備える送受信システムのシリアルデータ転送コントローラにおいて、

送信シリアルデータと、前記オーバーフロー信号又は前記パリティエラー信号とを選択するセクタを備え、前記パリティエラー通知回路は、前記パリティエラー信号に代えて該セクタの出力を送信側に通知することを特徴とするシリアルデータ転送コントローラ。

【請求項 7】 前記受信バッファがオーバーフローした回数をカウントするカウント部を備え、該カウント部によるカウントが所定回数に達すると受信側の上位装置に割込み信号を発生することを特徴とする、請求項 6 に記載のシリアルデータ転送コントローラ。

【請求項 8】 前記上位装置が DMA である、請求項 6 又は 7 のいずれかに記載のシリアルデータ転送コントローラ。

【請求項 9】 請求項 6 乃至 8 の何れかに記載のシ

リアルデータ転送コントローラを備える IC カード。

【請求項 10】 請求項 6 乃至 9 の何れかに記載のシリアルデータ転送コントローラ及び送受信機能を備えホストとしての機能を有する IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリアルデータを送受信する送受信システムのシリアルデータ転送コントローラに関し、特に、受信側がパリティエラーを送信側に通知する手段を有するシリアルデータ転送コントローラに関する。

【0002】

【従来の技術】 従来の磁気ストライプを備えるクレジットカードに代わるものとして IC カードがある。IC カードは、IC メモリを備えデータの入出力が可能なカードで、一般に、メモリに加えてコントローラ部及び送受信機能を備え、端末機としての機能を有する。

【0003】 IC カードの送受信に使用されるシリアルデータ転送コントローラは、通信方式及びデータフレームフォーマットについて標準が定められている。特に、ISO-7816 に準拠するスマートカードに使用されるシリアルデータ転送コントローラは、全 2 重の非同期式の通信機能を有し、送信側及び受信側で共通のデータフレームフォーマット及び通信速度を使用するように規格化されている。

【0004】 図 5 は従来のシリアルデータ転送コントローラの構成を、これを制御する上位装置を成す CPU (Central Processing Unit) と共に示すブロック図である。シリアルデータ転送コントローラは、受信したデータを CPU 10 へ送る受信部 11 と、CPU 10 からの送信データを送信する送信部 21 と、送受信端子から入出力するデータを入力信号及び出力信号に応じて入出力するポート部 31 とを備えている。

【0005】 受信部 11 は、ポート部 31 より入力された受信シリアルデータのパリティチェックを行うパリティチェック回路 15、受信シリアルデータを受信パラレルデータに変換するための受信シフト 13、受信シフト 13 からのパラレルデータを一旦格納する受信バッファ 14、パリティエラーが発生した場合に、所定のタイミングでエラー信号を生成するエラータイミング生成回路 16 及びこれらの受信動作を制御する受信制御回路部 12 を備える。

【0006】 送信部 21 は、CPU 10 から入力された送信データを一旦格納する送信バッファ 23、送信バッファ 23 からのデータを送信シリアルデータに変換する送信用シフト 24 及び送信バッファ 23 及び送信用シフト 24 双方の動作を制御する送信制御回路部 22 を備える。

【0007】 ポート部 31 は、送信シリアルデータとエ

ラー信号をORするORゲート33及び送受信端子からの入力信号を受信する入力バッファ32及びORゲート33によってORされた出力信号を送信する出力バッファ34を備えている。

【0008】従来のシリアルデータ転送コントローラでは、パリティチェックの結果がエラーの場合に、エラータイミング生成回路にパリティエラー信号を出力し、エラータイミング生成回路16により所定のデータフレームフォーマット(図3)でエラー信号オンを含む文字データを出力する。

【0009】シリアルデータ転送コントローラでは、受信バッファのオーバーフローが発生した場合に、受信制御回路12は、自身のCPU10に対してオーバーフロー割り込み信号を出力し、受信バッファ14のオーバーフローの発生を知らせる。その後、受信側のCPU10は、これを受けて割り込み処理によって再受信のための再送要求コマンドを送信する。送信側のコントローラでは、再送要求コマンドに従ってデータを再送する。

【0010】

【発明が解決しようとする課題】従来のシリアル転送コントローラでは、受信バッファのオーバーフローの度に受信側のCPUの制御に基づいて、割り込み処理によってデータ再送の要求をし、送信側のコントローラに通知するので、受信側のCPUが再送要求するまでに時間がかかる欠点があった。

【0011】本発明は、上記事情に鑑みて成されたものであり、受信バッファのオーバーフローの発生時に受信側CPUの介入なしに、又は、CPUの介入を制限して再送要求できるシリアルデータ転送コントローラを提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明のシリアルデータ転送コントローラは、シリアル入力データをパラレルデータに変換するための受信バッファと、前記シリアル入力データのパリティチェックを行いパリティエラーを検出した時に前記シリアル入力データを送信した送信側にパリティエラー信号を送出するパリティチェック回路部とを備えた受信部を有するシリアルデータ転送コントローラにおいて、前記受信バッファがオーバーフローした時に前記受信バッファがオーバーフローしたことを示す信号を前記パリティエラー信号に代えて前記送信側に送出することを特徴とする。

【0013】また、本発明のシリアルデータ転送コントローラでは、受信データを一旦格納した後に上位装置に転送する受信バッファと、該受信バッファがオーバーフローするとオーバーフロー信号を発生するオーバーフロー検出回路と、前記受信データのパリティエラーを検出するパリティエラー検出回路と、該パリティエラー検出回路がパリティエラーを検出すると送信側にパリティエラー信号を通知するパリティエラー通知回路とを備える

受信部と、受信側から前記パリティエラーの通知を受領するとデータを再送する送信部とを備えるシリアルデータ転送コントローラにおいて、前記オーバーフロー信号又は前記パリティエラー信号を選択するセレクタを備え、前記オーバーフロー検出回路は、前記パリティエラー信号に代えて該セレクタの出力を送信側に通知することを特徴とする。

【0014】本発明のシリアルデータ転送コントローラでは、オーバーフロー信号をカウントするカウント部を備え、該カウント部によるカウントが所定回数に達すると上位装置に割り込み信号を発生することができる。回復が困難と考えられるオーバーフロー時にのみCPUが関与することで、CPUの占有時間を低く抑える。

【0015】本発明のシリアルデータ転送コントローラでは、上位装置はCPUでもDMAでも良い。本発明のICカードは、上記シリアルデータ転送コントローラを備え、且つ、送受信機能を備えホストとしての機能を有する。

【0016】

【発明の実施の形態】〔第1の実施の形態〕図面を参照して本発明を更に詳細に説明する。図1は、本発明の第1の実施形態例のシリアルデータ転送コントローラの構成を、これを制御する上位装置を成すCPUと共に示すブロック図である。

【0017】本発明によるシリアルデータ転送コントローラは、データを受信する受信部11と、データを送信する送信部21と、送受信データを分離するポート部31とから構成される。受信部11は、データを受信した時にCPU10に受信したデータを受け渡し、送信部21は、CPU10からの送信データを送信する機能を有し、ポート部31は外部から送られた入力信号と、内部からの出力信号とを分割する機能を有する。

【0018】受信部11は、ポート部31より入力された受信シリアルデータを受信パラレルデータに変換する受信用シフタ13と、受信シリアルデータのパリティチェックを行うパリティチェック回路15と、受信用シフタ13からのパラレルデータを一旦格納してCPU10に転送する受信バッファ14と、パリティエラーが発生した場合、及び、受信バッファ14にオーバーフローエラーが発生した場合にエラー信号を生成するエラータイミング生成回路16(パリティエラー通知回路)と、これらの受信動作を制御する受信制御回路12とを備えている。

【0019】CPU10は、入力バッファ32が送信データを受信した場合には、送信データライト信号を送信制御回路22へ出力する。入力バッファ32が受信シリアルデータを受信した場合には、受信データリード信号を受信制御回路12に出力する。

【0020】送信部21は、CPU10から入力された送信データを一旦格納するための送信バッファ23と、

送信バッファからのデータを送信シリアルデータに変換する送信用シフト 24 と、それらの動作を制御する送信制御部 22 とを備えている。

【0021】ポート部 31 は、送信シリアルデータと、パリティエラー信号又はオーバーフロー信号とを OR する OR ゲート 33 と、送受信端子からの入力信号を受信する入力バッファ 32 及び OR ゲート 33 によって OR された出力信号を送信する出力バッファ 34 とを備えている。

【0022】図 2 は、ホストの送信モード時の送信側（シリアルデータコントローラ A）と端末側（スマートカード）の受信モード時（シリアルデータコントローラ B）の接続状態を示すブロック図で、シリアルデータコントローラ A 及びシリアルデータコントローラ B は同様の構成と機能を有している。

【0023】図 2 のシリアルデータコントローラ A 及び B は、図 1 における受信データを受信部 11 の受信バッファ 14 で一旦格納した後に CPU に転送し、受信バッファ 14 がオーバーフローすると CPU の介入なしにオーバーフロー信号を発生する受信制御回路 12 と、受信データのパリティエラーを検出するパリティチェック回路 15 と、パリティチェック回路 15 がパリティエラーを検出すると送信側にパリティエラー信号を通知するパリティエラー通知回路とを備える。受信側からパリティエラーの通知を受領するとデータを再送する送信側の送信部とを備える送受信システムを構成している。

【0024】シリアルデータコントローラ A の送信制御回路部 22 は、CPU 10 から送信データライト信号を受けると、tx_write 信号を生成し、送信データを送信バッファ 23 に記憶させる。その後、送信制御回路 22 は、tx_load 信号を生成し、送信バッファ 23 内の送信パラレルデータを送信シフト 24 にロードしシリアルデータに変換し、送信シリアルクロック tx_clock が送信シフト 24 に供給される。送信シリアルデータは、送信シフト 24 により送信シリアルクロック tx_clock に同期してポート部 31 へ出力される。ポート部 31 では、その信号を送信時に L レベルとなっているエラー信号と OR 処理された後、出力バッファ 34 を通じて送受信端子へ出力する。

【0025】シリアルデータコントローラ B では、送受信端子より受信したデータは、ポート部 31 内の入力バッファ 32 を介して受信部 11 に入力される。受信部 11 内の受信制御回路 12 では、受信基本クロック rx_clock にて受信シリアルデータをサンプリングし、スタートビットが検出されたときに受信シフト 13 に対して、受信シリアルクロック rx_clock が出力される。受信シフト 13 は、rx_clock に同期して受信シリアルデータを取り込む。受信制御回路 12 は、1 キャラクタ分の rx_clock を出力し終えたら、rx_load 信号を生成する。受信シフト 13 から出

力される受信パラレルデータは rx_load 信号のタイミングでラッチされ、受信バッファ 14 に記憶される。受信制御回路 12 では、受信データリード信号を受けると受信バッファ 14 内の受信データは端末側 CPU 10 へ出力される。

【0026】図 3 は ISO7816 規格に標準化されているシリアルデータを送受信する際のデータフレームフォーマットの構成を示す図である。（a）はパリティエラーが生じなかった場合のフォーマットを示し、（b）はパリティエラーが生じた場合のフォーマットを示している。この例では、データフレームフォーマットは、スタートビット、データビット、パリティビットに合計 10.5 ビットが、エラービットに 1.5 ビットが、ストップビットに 1 ビットが夫々割り当てられている。

【0027】ISO7816 規格に従ったパリティチェック方法及びパリティエラー時のエラーリカバリーについては次のように処理される。パリティチェック回路 15 では、受信制御回路 12 から出力される rx_clock 信号により受信シリアルデータのパリティチェックが行われる。パリティチェックの結果がエラーの場合、エラータイミング生成回路 16 にパリティエラー信号を出力し、エラータイミング生成回路 16 では図 3（b）に示されているデータフレームフォーマットでエラー信号を H レベルとして出力される。

【0028】受信時には、送信シリアルデータは L レベルとなっており、エラーがない場合、エラー信号も L レベルとなっており、OR ゲート 33 の出力も L レベルとなり、出力バッファ 34 は非活性であり入力状態となっている。パリティエラー時にそのエラー信号は H レベルとなり、ポート部 31 の OR ゲート 33 にて OR 処理され、出力バッファ 34 を通じて送受信端子へ出力される。

【0029】ホストの送信側シリアルデータコントローラ A の送信制御回路 12 は、図 3（a）、（b）のエラー信号のフレームでエラー信号の判定を行っており、エラー信号を検出した場合に、前と同じデータを再送する機能を持っているため、CPU 10 の処理にて再送処理をすることなく、自動的に再送要求ができる。

【0030】端末側（スマートカード）のシリアルデータコントローラ B では、受信バッファ 14 内のデータが受信データリード信号によってリードされる前に、受信制御回路 12 は次の受信シリアルデータのスタートビットを検出するとオーバーフロー割り込み信号を生成する。

【0031】図 1 にもどり、エラータイミング生成回路 16 には、受信制御回路 12 によって検出された受信バッファオーバーフロー信号が入力され、その信号がオンの場合に、図 3（b）に示されるデータフレームでパリティエラー時と同様にエラー信号を生成する。このことで、従来、必要とされていた受信バッファのオーバーフ

ロー時の受信側CPUを介した再送処理を不要にできる。本エラー信号をホスト送信側が受信した場合、エラー処理としてパリティエラー信号を受けた場合と同様に、エラーとなったデータを再送する。上記構成によると、受信バッファオーバーフロー信号の入力によりパリティエラー信号を発生でき、ホスト送信側は本信号の入力によりエラーデータの再送信を繰り返すので、受信側スマートカードの受信エラーを防ぐことができる。更に、従来はパリティエラー時のみに可能であったデータの自動再送を、受信バッファのオーバーフロー時にも行うことができる。

【0032】〔第2の実施の形態〕図4は、本発明の第2の実施の形態例のシリアルデータ転送コントローラの構成を示すブロック図である。同図では、受信側の端末（スマートカード）の受信部にオーバーフロー連続発生回数をカウントする割り込み生成回路17を備える点が第1の実施の形態例と異なる。その他の構成は第1の実施の形態例と同様である。

【0033】端末側（スマートカード）の受信部11では、オーバーフロー連続発生回数をカウントする割り込み生成回路17を備えているので、そのカウント数がパリティエラー発生時のホスト送信側の再送回数以内に受信データを取り込めない場合に、CPU10に対してオーバーフロー割り込み信号を発生し、CPU10に送信側の再送機能によって回復不可能なエラーを通知できる。このように、必要な時にのみCPUを稼働させることで、CPUのオーバーフローエラー処理に必要な負荷を少なくできる。

【0034】以上、本発明をその好適な実施の形態に基づいて説明したが、本発明のシリアルデータ転送コントローラは、上記実施の形態の構成にのみに限定されるものでなく、上記実施の形態の構成から種々の修正および変更を施したシリアルデータ転送コントローラも、本発明の範囲に含まれる。

【0035】例えば、上記実施例の上位装置は、CPUに代えてDMA（Direct Memory Access）とすることができる。また、上記実施例のICカードはスマートカードを含み、この場合、カードホストとしての機能を持たせることもできる。スマートカードの応用例としてIDカードの機能に加えて通信販売に

おける課金情報の提供がある。また、従来の預金通帳に代わるものとしての応用例がある。

【0036】

【発明の効果】本発明のシリアルデータ転送コントローラによれば、受信バッファのオーバーフローの発生時に受信側CPUの介在なしに、又は、CPUの介在を制限して再送要求できるシリアルデータ転送コントローラを提供できる。

【図面の簡単な説明】

10 【図1】本発明の第1の実施形態を示すシリアルデータ転送コントローラの構成とこれを制御するCPUと共に示すブロック図である。

【図2】ホスト側と端末側の接続例を示すブロック図である。

【図3】一般的なデータフレームフォーマットの構成を示す図であり、（a）はパリティエラーが生じなかった場合を示し、（b）はパリティエラーが生じた場合を示す。

20 【図4】本発明の第2の実施形態を示すシリアルデータ転送コントローラの構成とこれを制御するCPUと共に示すブロック図である。

【図5】従来のシリアルデータ転送コントローラの構成とこれを制御するCPUと共に示すブロック図である。

【符号の説明】

10 CPU

11 受信部

12 受信制御回路

13 受信用シフト

14 受信バッファ

30 15 パリティチェック回路

16 エラータイミング生成回路

17 割り込み生成回路

21 送信部

22 送信制御回路

23 送信バッファ

24 送信シフト

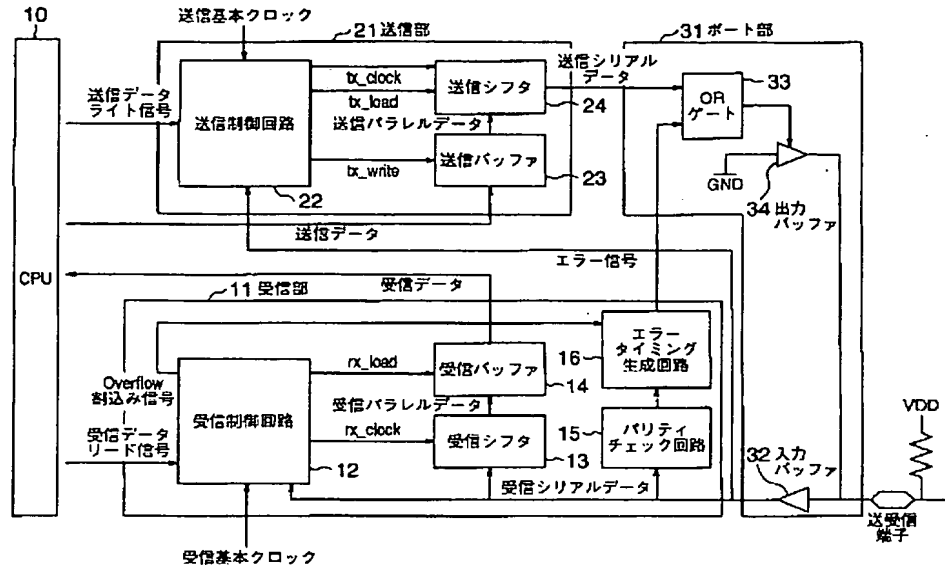
31 ポート部

32 入力バッファ

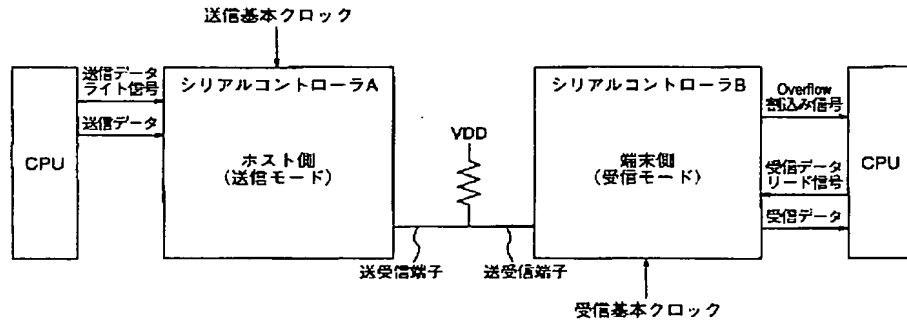
33 ORゲート

40 34 出力バッファ

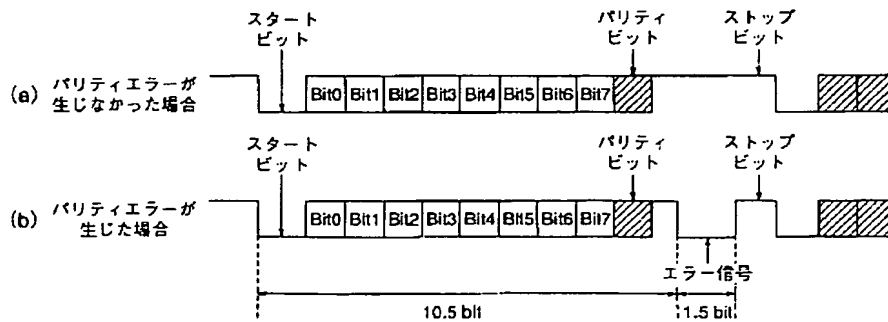
【図1】



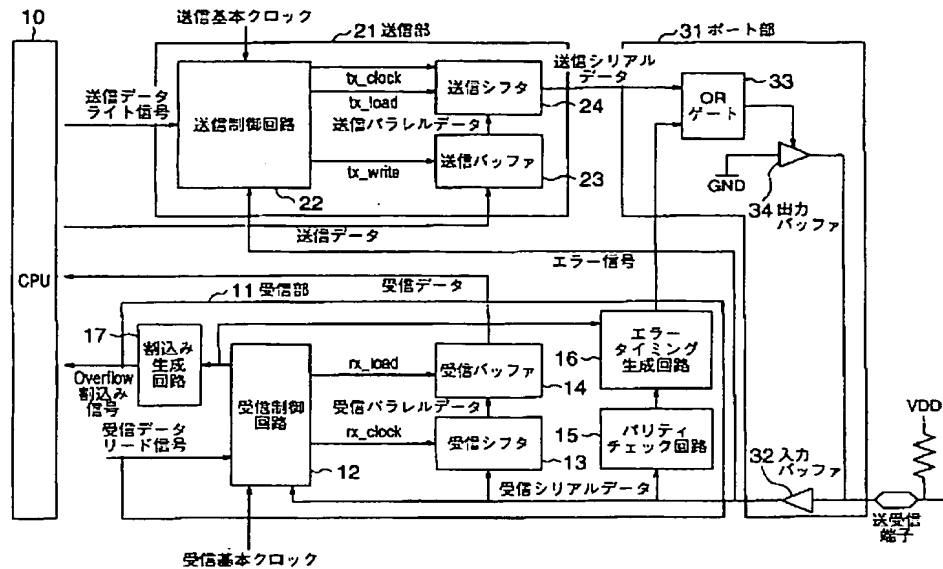
【図2】



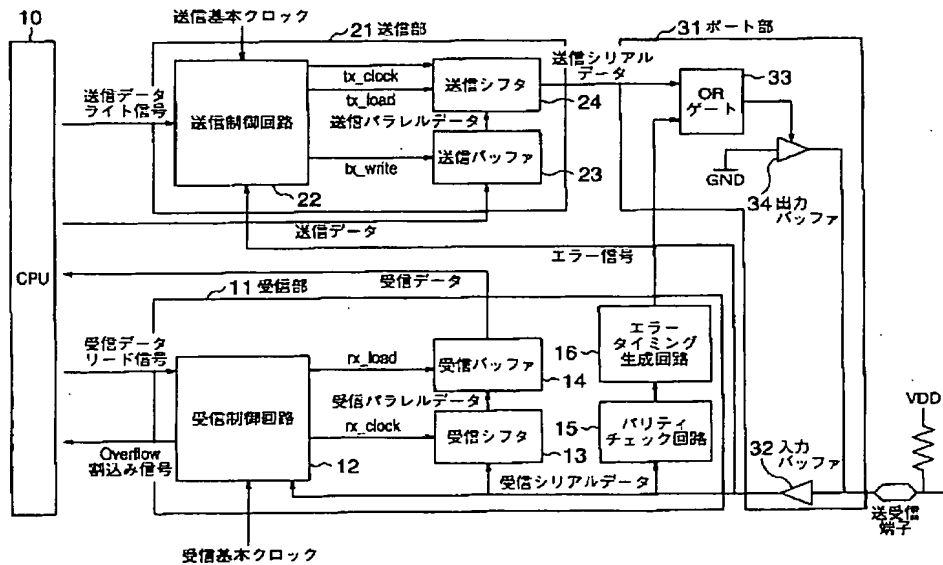
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁶

H04L 25/40

識別記号

F I

H04L 25/40

E